

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 02032563
PUBLICATION DATE : 02-02-90

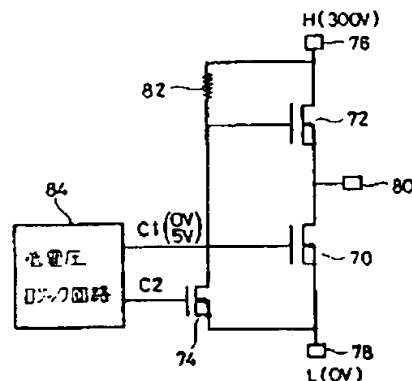
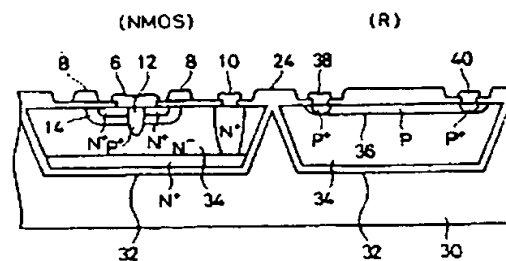
APPLICATION DATE : 21-07-88
APPLICATION NUMBER : 63184401

APPLICANT : RICOH CO LTD;

INVENTOR : OZAKI MASA HARU;

INT.CL : H01L 27/088 H01L 21/76

TITLE : DRIVER CIRCUIT HIGH IN
BREAKDOWN STRENGTH



ABSTRACT : **PURPOSE:** To provide the title circuit by simplifying the structure of a driver circuit of an electronic device by forming an output transistor to which high voltage is to be applied in a silicon single crystal isolated through a dielectric, and connecting a source of said output transistor to a substrate located in an island of said silicon single crystal.

CONSTITUTION: In a high breakdown strength driver circuit using NMOS-Trs, all source electrodes 6 of the NMOS-Trs 70, 72, 74 and a polycrystalline substrate 30 are connected to each other through a low resistance diffusion region 12 to prevent a substrate bias from exerting on the high voltage driver circuit even when the driver circuit undergoes high voltage. If an H level is desired as an output, then a logic circuit 84 issues control signals C1, C2 of a low level. Hereby, the Trs 70, 74 are switched off, the Tr 72 is subjected to an H level through a resistor 82 and outputs an H level. Further, if an L level is desired as the output, then the circuit 84 issues the control signals C1, C2 of a high level to switch on the Tr 74. Hereby, the Tr 72 changes to an L level at gate voltage to switch off the Tr 72.

COPYRIGHT: (C) JPO



THIS PAGE BLANK (08PT0)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-32563

⑮ Int.Cl.³

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月2日

H 01 L 27/088
21/76

D

7638-5F
7735-5F

H 01 L 27/08

1 0 2 J

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 高耐圧ドライバ回路

⑰ 特 願 昭63-184401

⑱ 出 願 昭63(1988)7月21日

⑲ 発 明 者 尾 崎 正 晴 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑳ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

㉑ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

高耐圧ドライバ回路

2. 特許請求の範囲

(1) 互いに異なる電位レベルを出力する2以上の出力トランジスタを備え、各出力トランジスタは相互に誘電体分離されたシリコン単結品の島内に形成されたNMOSTランジスタであり、少なくとも高電圧が印加される出力トランジスタのソースがその出力トランジスタが形成されている島内の基板と接続されていることを特徴とする高耐圧ドライバ回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は静電プリンタなど高電圧を必要とする電子装置のドライバ回路に関するものである。

(従来の技術)

Hレベル、中間レベル、Lレベルのように、複数の出力レベルをもつ高耐圧ドライバ回路は、高耐圧CMOS構造に構成されている。

第5図に高耐圧CMOS型ドライバ回路を示す。

P⁺型基板2上に形成されたN⁺型エピタキシャル層4にNMOSTランジスタ(図の左側部分)とPMOSTランジスタ(図の右側部分)が形成されている。

NMOSTランジスタにおいて、6はソース電極、8はゲート電極、10はドレイン電極であり、ソース電極6はP⁺型拡散領域12を介して基板領域14と接続されている。

PMOSTランジスタにおいて、16はソース電極、18はゲート電極、20はドレイン電極である。

NMOSTランジスタとPMOSTランジスタの間を分離するために、基板2に到達するP⁺型拡散領域22が形成されている。

(発明が解決しようとする課題)

高耐圧CMOS回路では、素子分離にPN接合分離を使用するので、分離用拡散領域22を基板2に到達するように深く形成しなければならない。MOSTランジスタの耐圧を高くするためには、

エピタキシャル層4の厚みを厚くする必要があるが、厚くすれば分離用拡散領域22をさらに深くしなければならなくなる。そのため、高耐圧CMOS回路の耐圧は250V程度が限界である。

本発明は高耐圧CMOS回路よりも耐圧の高いドライバ回路を提供することを目的とするものである。

(課題を解決するための手段)

本発明は、互いに異なる電位レベルを出力する2以上の出力トランジスタを備えた高耐圧ドライバ回路であり、各出力トランジスタを相互に誘電体分離されたシリコン単結晶の島内に形成されたNMOSTランジスタとし、少なくとも高電圧が印加される出力トランジスタのソースをその出力トランジスタが形成されている島内の基板と接続させた。

(作用)

誘電体分離されたNMOSTランジスタの耐圧はPN接合分離のものより高くなる。

相互に誘電体分離されたNMOSTランジスタ

ている。

NMOSTランジスタの構造は第5図のものと同じである。6はソース電極、8はゲート電極、10はドレイン電極であり、ソース電極6はP⁺型拡散領域12を介して基板領域14と接続されている。

抵抗はP型拡散領域36により構成されている。38、40はその抵抗の電極である。

第2図(A)から(I)により同実施例の特にNMOS部分の製造方法を説明する。

(A) 34は面方位が(100)の単結晶シリコン基板であり、その表面にはN型不純物拡散によりN⁺型拡散層42が形成されている。拡散層42の表面が熱酸化法により酸化されてシリコン酸化膜44が形成され、シリコン酸化膜44には素子分離領域を形成するために幅がWの開口部46が写真製版とエッチングにより開けられている。

(B) シリコン酸化膜44をマスクにして基板34を異方性エッチングする。このエッチングにはアルカリ系異方性エッチング液を用いる。この異

では、ソースをそのMOSトランジスタが形成されている島内の基板と接続することができる。ソースを基板と接続することにより、そのNMOSTランジスタには基板バイアスがかからなくなり、高電圧が印加された場合でも正常に動作する。もし、出力トランジスタとしてソースと基板が接続されていないNMOSTランジスタを使用したとすれば、その出力トランジスタで例えば300V以上の高電圧レベルを出力しようとするれば、そのNMOSTランジスタには300V以上の基板バイアスがかかり、基板バイアス効果によるしきい値電圧の上昇により正常な動作を行なうことができなくなる。

(実施例)

第1図は一実施例における出力用NMOSTランジスタ(図の左側)と抵抗(図の右側)を表わしている。

30はポリシリコン基板であり、素子が形成されるシリコン単結晶は互いにシリコン酸化膜(SiO₂)32によって相互に誘電体分離され

方性エッチングは(111)面に沿って斜め方向に進行し、断面がV字型の溝48が形成される。溝48の深さは $W/\sqrt{2}$ である。

(C) シリコン酸化膜44を除去し、熱酸化によりシリコン酸化膜32を形成する。

シリコン酸化膜32上にポリシリコン層30を堆積する。

(D) ポリシリコン層30の表面を研磨し、次に、基板34を裏面側から研磨し、V字型の溝で基板34が相互に分離されるまで研磨を行なう。

(E) 基板34の表面を酸化してシリコン酸化膜50を形成する。

(F) N型不純物拡散により拡散層42に到達するN⁺型拡散領域52を形成する。

P型不純物拡散によりP⁺型拡散領域54を形成する。

(G) ゲート酸化膜を形成する領域のシリコン酸化膜を除去し、ゲート酸化膜56を形成する。

ポリシリコン層を堆積し、写真製版とエッチングによりパターン化を施してゲート電極8を形

成する。

(H) P型不純物拡散により基板領域となるP⁻型拡散領域14を形成し、N型不純物拡散によりN⁺型拡散領域58を形成する。

(I) その後、例えばPSG膜などの層間絶縁膜60を堆積し、コンタクト孔を形成し、その上からアルミニウム膜などによるメタル配線62を形成し、さらにその上からPSG膜などのパッシベーション膜64を堆積する。

なお、(I)の右側部分はダイオードである。

第3図に一実施例のNMOSTランジスタを用いた高圧ドライバ回路の例を示す。

この回路は出力として高電圧レベルH(例えば300V)とグラウンドレベルL(0V)を出力するドライバ回路である。

NMOSTランジスタ70、72が高電圧電源端子76とグラウンド(又は低電圧電源)端子78の間に直列に接続されている。NMOSTランジスタ70のソース電極とNMOSTランジスタ72のドレイン電極が出力端子80に接続されてい

る。

NMOSTランジスタ72のゲート電極は抵抗82を介して高電圧電源端子76に接続されており、またNMOSTランジスタ74を介してグラウンド端子78に接続されている。NMOSTランジスタ74のオン抵抗は抵抗82の抵抗値より低くなるように形成されている。

84は低電圧(例えば5Vと0V)で動作するロジック回路であり、NMOSTランジスタ70、74のゲート電極にそれぞれ制御信号C1、C2を送出する。

NMOSTランジスタ70、72、74は全て第1図に示されるNMOSTランジスタであり、それぞれのソースと基板間は低抵抗の拡散領域12を介して接続されており、高電圧がかかった場合でも基板バイアスはいかからない。ロジック回路84内のMOSTランジスタは通常のCMOS構成又は通常のNMOSTランジスタやPMOSTランジスタで構成されている。

次に第3図のドライバ回路の動作について説明

する。

出力をHレベルとする場合はロジック回路84から制御信号C1、C2としてローレベル(0V)が出力される。これにより、NMOSTランジスタ70、74がオフになり、NMOSTランジスタ72には抵抗82を通してHレベルが加わり、出力にはHレベル(300V)が出力される。

出力をLレベル(0V)とする場合は、ロジック回路84から制御信号C1、C2としてハイレベル(5V)が出力される。これにより、NMOSTランジスタ74がオンになってNMOSTランジスタ72のゲート電圧はLレベルになり、NMOSTランジスタ72がオフとなる。また、NMOSTランジスタ70がオンになることにより、出力はLレベルとなる。

第4図は出力として2つの高電圧レベルH1、H2と2つの低電圧レベルL1、L2を出力する4値出力ドライバ回路の例を表わしている。

NMOSTランジスタ72-1は高電圧レベルH1を出力する出力トランジスタであり、そのゲ

ート電極は抵抗82-1を介して高電圧電源端子76-1に接続されており、またNMOSTランジスタ74-1を介してグラウンド端子に接続接地されている。NMOSTランジスタ72-2は高電圧レベルH2を出力する出力トランジスタであり、そのゲート電極は抵抗82-2を介して高電圧電源端子76-2に接続されており、またNMOSTランジスタ74-2を介してグラウンド端子に接続されている。NMOSTランジスタ72-1、72-2のソース電極は出力端子80に接続されている。

NMOSTランジスタ70-1は低電圧レベルL1を出力する出力トランジスタであり、そのソース電極は低電圧電源端子78-1に接続されている。NMOSTランジスタ70-2は低電圧レベルL2を出力する出力トランジスタであり、そのソース電極は低電圧電源端子78-2に接続されている。NMOSTランジスタ70-1、70-2のドレイン電極は出力端子80に接続されている。

NMOSトランジスタ70-1, 70-2, 74-1, 74-2のゲート電極にはそれぞれ低電圧ロジック回路84から制御信号C11, C12, C21, C22が印加される。

第4図の実施例においても各NMOSトランジスタ70-1, 70-2, 72-1, 72-2, 74-1, 74-2は第1図に示された高耐圧NMOSトランジスタであり、それぞれのソースはそれぞれの島内の基板低抵抗拡散領域12を介して接続されている。

本実施例の動作について説明する。

例えばH1レベルを出力させるときは、制御信号C21がローレベル、C22がハイレベル、C11, C12がローレベルとなる。これにより、NMOSトランジスタ72-1がオン、NMOSトランジスタ72-2, 70-1, 70-2がオフになって、H1レベルが出力される。

また、例えば低電圧レベルL1を出力させるときは、制御信号C11がハイレベル、C12がローレベル、C21, C22がハイレベルとなる。

これにより、NMOSトランジスタ70-1がオン、NMOSトランジスタ70-2, 72-1, 72-2がオフになって、L1レベルが出力される。

(発明の効果)

本発明では高電圧が印加される出力トランジスタを誘電体分離されたシリコン単結品内に形成し、かつ、そのソースをその島内の基板に接続するようにしたので、従来の高耐圧CMOS技術を使ったドライバ回路よりも高い耐圧、例えば300V以上のドライバ回路とすることができる。

また、CMOS構成のものより構造が簡単になり、コストが低下する。

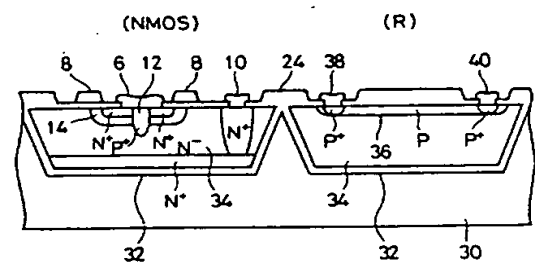
4. 図面の簡単な説明

第1図は一実施例のNMOSトランジスタと抵抗を示す断面図、第2図(A)から同図(I)は一実施例の製造方法を示す断面図、第3図及び第4図はそれぞれ実施例のドライバ回路の例を示す回路図、第5図は従来の高耐圧ドライバ回路のCMOS部分を示す断面図である。

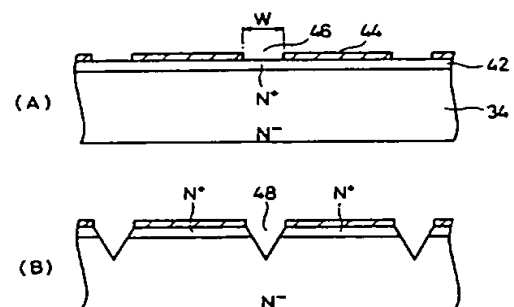
6……ソース電極、12……P型拡散領域、14……基板領域、30……ポリシリコン基板、32……シリコン酸化膜、34……単結晶シリコン、70, 70-1, 70-2, 72, 72-1, 72-2, 74, 74-1, 74-2……NMOSトランジスタ。

特許出願人 株式会社リコー
代理人 弁理士 野口繁雄

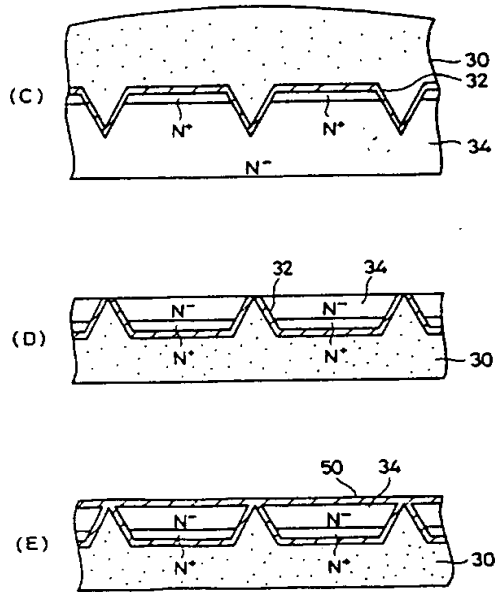
第1図



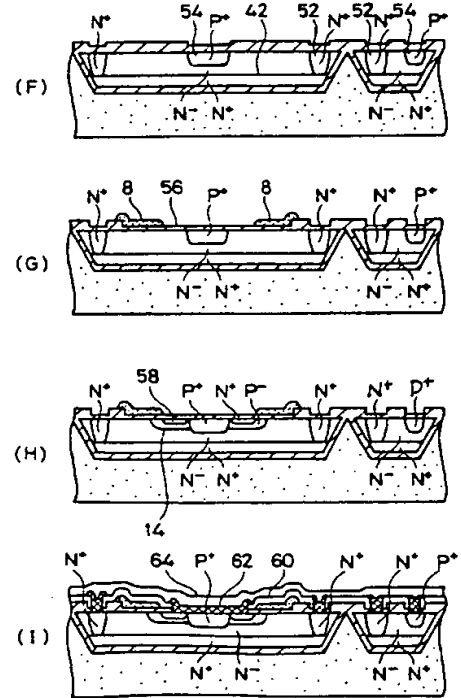
第2図



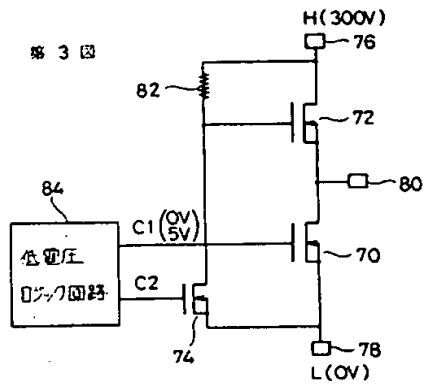
第 2 図



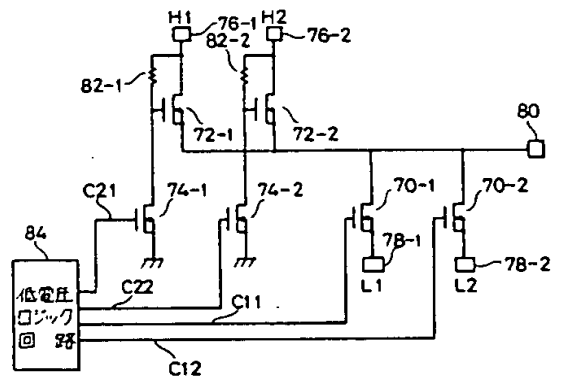
第 2 図



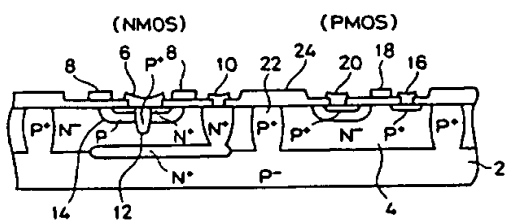
第 3 図



第 4 図



第 5 図



THIS PAGE BLANK (USPTO)